

Requested Patent: JP61143863A
Title: BUS DIVISION CONTROL SYSTEM ;
Abstracted Patent: JP61143863 ;
Publication Date: 1986-07-01 ;
Inventor(s): HARADA TAKENOSUKE; others: 02 ;
Applicant(s): PANAFACOM LTD ;
Application Number: JP19840265826 19841217 ;
Priority Number(s): ;
IPC Classification: G06F13/20 ;
Equivalents: ;

ABSTRACT:

PURPOSE: To improve the transfer efficiency of data by dividing a data bus and giving the bus control right to the divided bus master part.

CONSTITUTION: A bus approval signal is delivered to a microprocessor 1 from a bus controller 3 in case all of direct memory access controllers (DMAC)2-0-2-2 are not working. Thus the processor 1 processes the overall control right of the data bus. When a DMA request signal is supplied to the DMAC2-0 for a mini-floppy disk device 5, the DMAC2-0 delivers a bus use request signal to the controller 3. Then the controller 3 decides the priority and waits for the end of the actuation of a DMAC having high priority. Thus the DMAC2-0 can acquire the bus control right even in an operating mode of the DMAC2-1.

⑫ 公開特許公報(A)

昭61-143863

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月1日

G 06 F 13/20

C-7165-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 バス分割制御方式

⑮ 特 願 昭59-265826

⑯ 出 願 昭59(1984)12月17日

⑰ 発 明 者 原 田 武 之 助 大和市深見西4丁目2番49号 パナフアコム株式会社内
⑱ 発 明 者 谷 戸 久 大和市深見西4丁目2番49号 パナフアコム株式会社内
⑲ 発 明 者 丸 岡 寛 大和市深見西4丁目2番49号 パナフアコム株式会社内
⑳ 出 願 人 パナフアコム株式会社 大和市深見西4丁目2番49号
㉑ 代 理 人 弁理士 京谷 四郎

明 細 書

1. 発明の名称

バス分割制御方式

2. 特許請求の範囲

プロセッサと、第1の共通バス使用の制御装置と、第2の共通バス使用の制御装置と、Nビットのバス幅を持つと共に上記プロセッサに接続されたデータ・バスと、上記第1の共通バス使用の制御装置に対応する第1のメモリと、上記第2の共通バス使用の制御装置に対応する第2のメモリと、上記第1のメモリと接続された第1の入出力装置と、上記第2のメモリと接続された第2の入出力装置と、バス・コントローラとを具備し、上記第1のメモリは上記データ・バスのMビット($M < N$)に接続され、上記第2のメモリは上記データ・バスの $N - M$ ビットに接続され、上記バス・コントローラは、上記第1の共通バス使用の制御装置からバス使用要求があった時、優先度の高い他

の共通バス使用の制御装置が動作中でない場合には上記第2の共通バス使用の制御装置が動作中であっても上記第1の共通バス使用の制御装置にバス支配権を付与し、上記第2の共通バス使用の制御装置からバス使用要求があった時、優先度の高い他の共通バス使用の制御装置が動作中でない場合には上記第1の共通バス使用の制御装置が動作中であっても上記第2の共通バス使用の制御装置にバス支配権を付与するよう構成されていることを特徴とするバス分割制御方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、Nビット幅を持つデータ・バスのバス支配権制御部において、データ・バスのMビットが或るバス・マスクに占有されていても $N - M$ ビットのバス支配権を他のバス・マスクに与え得るようになった情報処理装置におけるバス分割制御方式に関するものである。

〔従来技術と問題点〕

情報処理装置において、マイクロプロセッサと主記憶装置、入出力装置間でデータの転送を行うためにバス結合されている。また、高速のデータ転送を可能とするためにマイクロプロセッサを介することなく直接に入出力装置と主記憶装置間でデータを転送することが出来るDMAC（ダイレクト・メモリ・アクセス・コントローラ）を設ける場合がある。このときDMACは一旦バスの支配権をマイクロプロセッサから獲得してバスのマスタとなると、マイクロプロセッサなどの他のバス・マスタはこの間ホルト（アイドル）状態となるものであった。従って、データ・バス幅の小さな入出力装置に対して大きなデータ・バス幅のバス支配権を与えてしまうものであった。

（発明の目的）

本発明は、上記の考察に基づくものであって、データ・バスを分割し、バス・マスタに分割された部分についてバス支配権を与え得るようになったバス分割制御方式を提供することを目的としている。

置からバス使用要求があった時、優先度の高い他の共通バス使用の制御装置が動作中でない場合には上記第1の共通バス使用の制御装置が動作中であっても上記第2の共通バス使用の制御装置にバス支配権を付与するよう構成されていることを特徴とするものである。

（発明の実施例）

以下、本発明を実施例を参照しつつ説明する。第1図は本発明の1実施例のブロック図である。第1図において、1はマイクロプロセッサ、2-0ないし2-2はDMAC、3はバス・コントローラ、4-0と4-1はデータ・セレクト、5はミニフロッピー・ディスク装置、6は回線アダプタ、7は磁気ディスク装置、8はドライバ、9はレシーバ、10-0と11-0は上位バンク・メモリ、10-11と1-1は下位バンク・メモリ、DBはデータ・バス、ADBはアドレス・バスをそれぞれ示している。マイクロプロセッサ1はデータ・バスDBに接続されると共にアドレス・バスADBに接続されている。データ・バスDBの

（目的を達成するための手段）

そしてそのため本発明のバス分割制御方式は、プロセッサと、第1の共通バス使用の制御装置と、第2の共通バス使用の制御装置と、Nビットのバス幅を持つと共に上記プロセッサに接続されたデータ・バスと、上記第1の共通バス使用の制御装置に対応する第1のメモリと、上記第2の共通バス使用の制御装置に対応する第2のメモリと、上記第1のメモリと接続された第1の入出力装置と、上記第2のメモリと接続された第2の入出力装置と、バス・コントローラとを具備し、上記第1のメモリは上記データ・バスのMビット（ $M < N$ ）に接続され、上記第2のメモリは上記データ・バスの $N - M$ ビットに接続され、上記バス・コントローラは、上記第1の共通バス使用の制御装置からバス使用要求があった時、優先度の高い他の共通バス使用の制御装置が動作中でない場合には上記第2の共通バス使用の制御装置が動作中であっても上記第1の共通バス使用の制御装置にバス支配権を付与し、上記第2の共通バス使用の制御装

バス幅は16ビットである。DMAC 2-0ないし2-2は所定のインタフェースを介してバス・コントローラ3に接続されている。バス・コントローラ3はバス支配権を付与するための制御及びこれに関連せる制御を行うものである。データ・セレクト4-0は、バス・コントローラ3からの制御信号に従ってDMAC 2-0からのアドレス又はマイクロプロセッサ1からのアドレスの何れか一方を出力する。同様に、データ・セレクト4-1は、バス・コントローラ3からの制御信号に従ってDMAC 2-1からのアドレス又はマイクロプロセッサ1からのアドレスの何れか一方を出力する。ミニフロッピー・ディスク装置5とDMAC 2-0の間には所定のインタフェースが設置され、両者はこのインタフェースを介して要求信号や応答信号のやり取りを行う。回線アダプタ6とDMAC 2-1の間、及び磁気ディスク装置とDMAC 2-2の間にも同様なインタフェースが設置されている。上位バンク・メモリ10-0とミニフロッピー・ディスク装置5の間の入出力バ

スのデータ・バス幅は8ビットであり、また、上位バンク・メモリ10-0はデータ・バスの上位8ビットに接続されている。下位バンク・メモリ10-1と回線アダプタ6の間の入出力バスのデータ・バス幅も8ビットであり、また下位バンク・メモリ10-1はデータ・バスDBの下位8ビットに接続されている。上位バンク・メモリ11-0はデータ・バスDBの上位8ビットに接続されており、下位バンク・メモリ11-1はデータ・バスDBの下位8ビットに接続されている。磁気ディスク装置7の入出力バスのバス幅は16ビットであり、これはデータ・バスDBに接続されている。

第2図はバス・コントローラ3の1実施例構成を示す図である。第2図において、12はプライオリティ・エンコード、13は許諾信号発生部をそれぞれ示している。また、BR_i (i=0, 1, 2)はバス使用要求信号、BGP及びBG_i (i=0, 1, 2)はバス許諾信号、SEL_jはデータ・セクタ4-j (j=0, 1)に対する制御

信号BR₀を出力する。これを受け取ると、バス・コントローラ3は、プライオリティを判断し、高い優先度を持つDMACが動作中であれば、その終了を待つ。DMAC2-1が動作中であっても、DMAC2-0はバス支配権を獲得することが出来る。さて、DMAC2-0がバス許諾信号としてBG₀を受け取る時は、マイクロプロセッサ1に対するバス許諾信号はノンアクティブになる。DMAC2-0がミニフロッピー・ディスク装置5に対してDMA許諾信号DACK₀信号を出力することにより、ミニフロッピー・ディスク装置のDMA転送が開始される。終了通知はDMAC2-0より出力されるDONE₀がミニフロッピー・ディスク装置5に出力されることにより判断される。DMAC2-0及び2-1が共に非動作状態になれば、再びバス許諾信号BGPが出力されてマイクロプロセッサ1がバス支配権を獲得する。回線制御部6がDMA要求を出したときにも同様な動作が行われる。

〔発明の効果〕

信号をそれぞれ示している。バス・コントローラの動作説明をする。あるバス・マスタからBR_iを受け取るとプライオリティ・エンコード12があらかじめ決められている優先順位にもとづいてそれより優先度の高いBRがなければ許諾信号発生部13にバス占有要求をつたえる。許諾信号発生部13はバス要求したバス・マスタが使用するバスが使用されていれば、使用終了まで待ち、使用されていなければすぐにBGP、BG_iを出力しバス使用を許可する。またSEL_jも出力し、それによりデータ・セクターを選出する。

次に本発明の実施例の動作を説明する。DMAC2-0ないし2-2が全て動作していない場合は、バス・コントローラ3からマイクロプロセッサ1に対するバス許諾信号BGPが出力され、マイクロプロセッサ1がデータ・バスDB全体に対するバス支配権を持つ。ミニフロッピー・ディスク装置5がDMAを要求するDMA要求信号DR₀がDMAC2-0に入力されると、DMAC2-0はバス・コントローラ3に対してバス使用要

以上の説明から明らかなように、本発明によれば、データ転送を効率よく行うことが出来る。

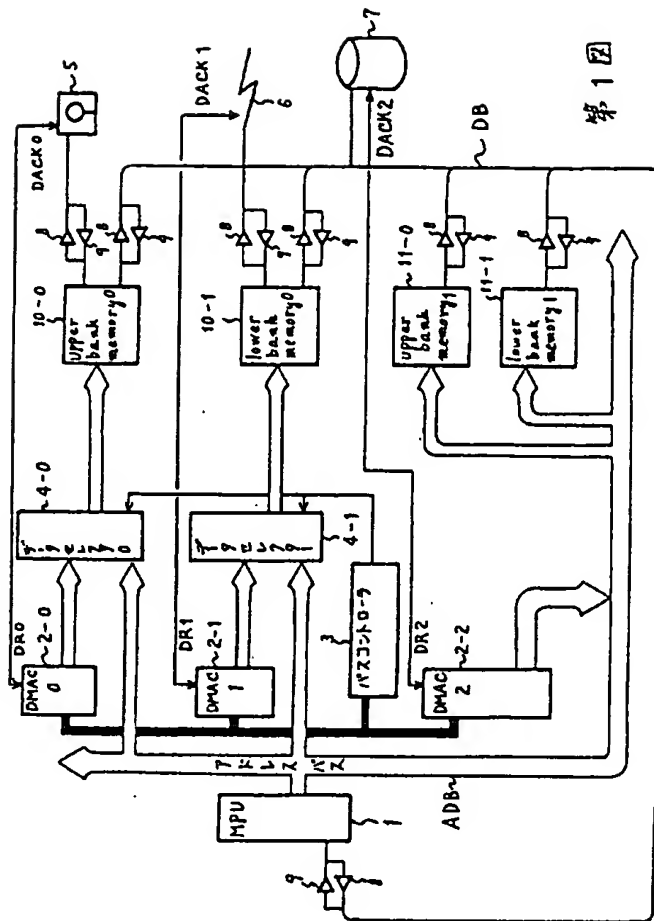
4. 図面の簡単な説明

第1図は本発明の1実施例のブロック図、第2図はバス・コントローラ3の1実施例構成を示す図である。

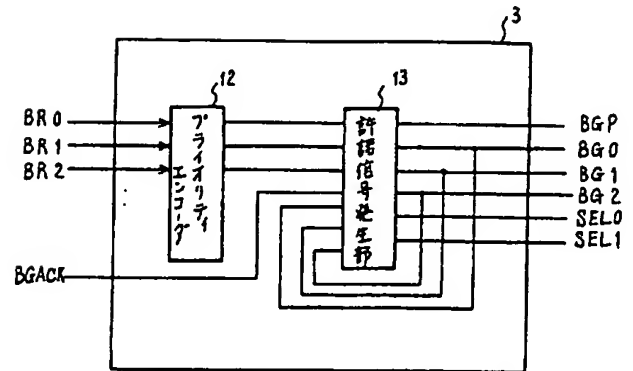
1…マイクロプロセッサ、2-0ないし2-2…DMAC、3…バス・コントローラ、4-0と4-1…データ・セクタ、5…ミニフロッピー・ディスク装置、6…回線アダプタ、7…磁気ディスク装置、8…ドライバ、9…レシーバ、10-0と11-0…上位バンク・メモリ、10-1と11-1…下位バンク・メモリ、DB…データ・バス、ADB…アドレス・バス、12…プライオリティ・エンコード、13…許諾信号発生部。

特許出願人 バナファコム株式会社

代理人弁理士 京谷 四郎



第1図



第2図

手続補正書(方式)

昭和60年4月5日

特許庁長官 志賀 学 殿

1. 事件の表示 昭和59年特許願第265826号

2. 発明の名称 バス分割制御方式

3. 補正をする者

事件との関係 特許出願人

住 所 神奈川県大和市深見西四丁目2番49号

氏 名 パナファコム株式会社

代表者 小林 大祐

4. 代理人

住 所 東京都荒川区西日暮里4丁目17番1号

佐原マンション3FB

氏 名 (8089)弁理士 京谷 四郎

5. 補正命令の日付 昭和60年3月06日

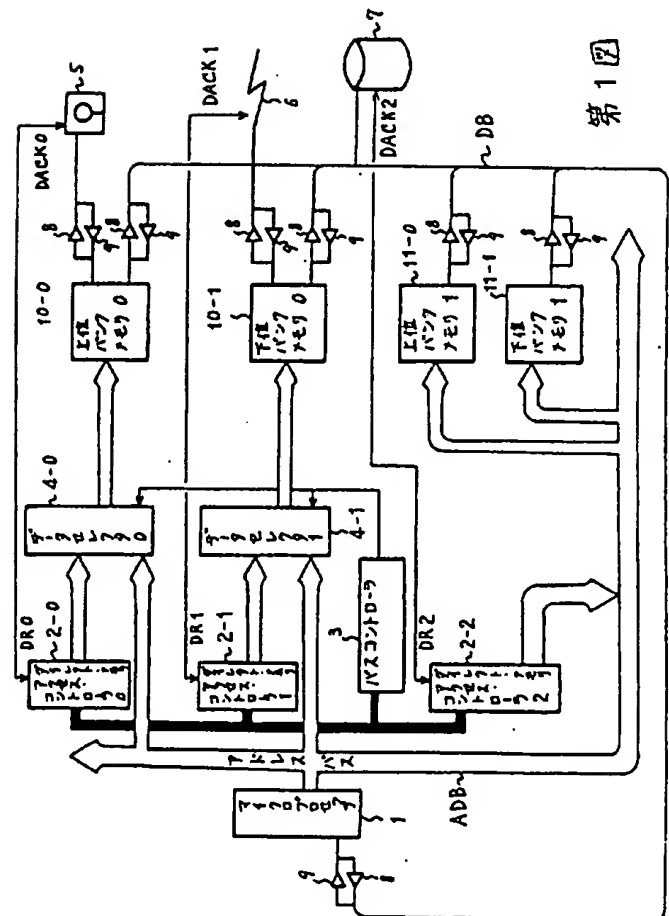
発送日 昭和60年3月26日

6. 補正の対象 第1図及び第2図(出願人の氏名の補正も含む)

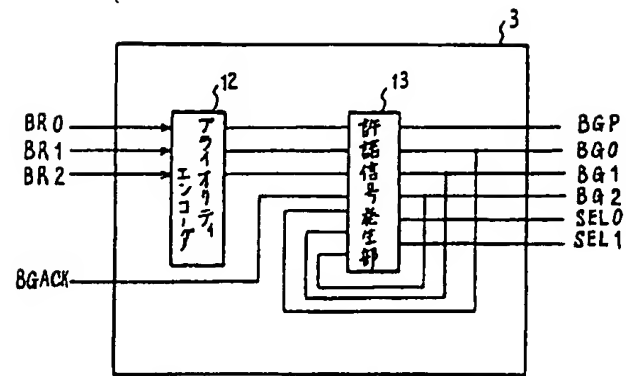
7. 補正の内容 別紙のとおり

方式
審査

村山



第1図



第2図